

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-110184

(43)Date of publication of application : 20.04.2001

(51)Int.Cl.

G11C 11/407
G11C 11/413
H01L 27/04
H01L 21/822
// G05F 1/56

(21)Application number : 11-291809

(71)Applicant : HITACHI LTD
HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 14.10.1999

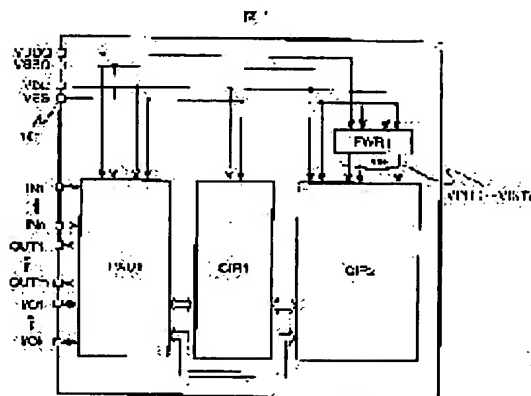
(72)Inventor : MIZUNO HIROYUKI
WATABE TAKAO
HIRAKI MITSURU
TANAKA HITOSHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a supply means of internal power source voltage being stable and flexible by solving a problem of supply of an operation power source caused corresponding to drop of power source voltage externally supplied.

SOLUTION: This device has a first circuit block PAD1 to which first operation voltage VCCQ is supplied, a second circuit block CIR1 to which second operation voltage VDD is supplied, a voltage generating circuit PWR1 receiving the first operation voltage and generating third operation voltage VDH, and a third circuit block CIR2 to which third operation voltage is supplied. Further desirably, the third operation voltage forms fourth operation voltage being higher than it from the first operation voltage by a boosting circuit GEN1, the fourth operation voltage is formed by dropping the fourth operation voltage by a voltage dropping circuit VLM1. Thereby, even when a power source of VDD is dropped, stable internal operation power source can be formed using a power source VDDQ having comparative oscillation.



LEGAL STATUS

[Date of request for examination]

18.11.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int. Cl. 7 識別記号

G11C 11/407

11/413

H01L 27/04

21/822

// G05F 1/56

310

F I

G05F 1/56

310

Q 5B015

G11C 11/34

354

F 5B024

335

A 5F038

H01L 27/04

B 5H430

テマコード (参考)

審査請求 未請求 請求項の数11 O L (全21頁)

(21) 出願番号 特願平11-291809

(22) 出願日 平成11年10月14日 (1999. 10. 14)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 水野 弘之

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

(54) 【発明の名称】 半導体装置

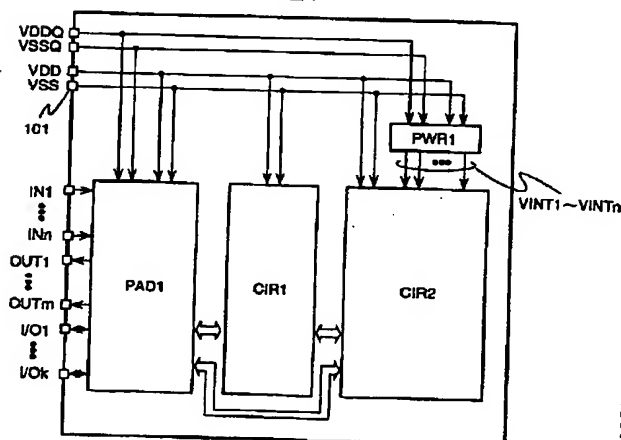
(57) 【要約】

【課題】 外部から供給される電源電圧の電圧が低下することに対応して起こる動作電源供給の課題を解決し、安定かつ柔軟性のある内部電源電圧の供給手段を提供することにある。

【解決手段】 第1動作電圧(VCCQ)が供給される第1回路ブロック(PAD1)と、第2動作電圧(VDD)が供給される第2回路ブロック(CIR1)と、前記第1動作電圧を受けて第3動作電圧(VDH)を発生する電圧発生回路(PWR1)と、前記第3動作電圧が供給される第3回路ブロック(CIR2)とを有するように半導体装置を構成する。さらに望ましくは、第3動作電圧は、第1動作電圧から昇圧回路(GEN1)によりそれよりも電圧の大きな第4動作電圧を形成し、その第4動作電圧を降圧回路(VLM1)により降圧して形成する。

【効果】 これにより、VDDの電源が低下した場合でも比較的揺れを持つ電源VDDQを用いて安定な内部動作電源の形成を可能とする。

図1



【特許請求の範囲】

【請求項1】第1動作電圧が供給される第1回路ブロックと、

第2動作電圧が供給される第2回路ブロックと、
前記第1動作電圧を受けて第3動作電圧を発生する電圧発生回路と、

前記第3動作電圧が供給される第3回路ブロックとを有することを特徴とする半導体装置。

【請求項2】請求項1において、前記第1動作電圧は前記第2動作電圧よりも大きいことを特徴とする半導体装置。 10

【請求項3】請求項2において、前記第3動作電圧は前記第1動作電圧よりも小さいことを特徴とする半導体集積回路装置。

【請求項4】請求項1において、
前記電圧発生回路は、前記第1動作電圧を受けて前記第1動作電圧よりも大きな第4動作電圧を形成する第1電圧変換回路と、前記第4動作電圧を受けて前記第3動作電圧を形成する第2電圧変換回路とを含むことを特徴とする半導体装置。

【請求項5】請求項4において、前記半導体装置は、基準電圧を発生する基準電圧発生回路を更に有し、
前記第1電圧変換回路は、周期的パルス信号により励起される昇圧用コンデンサを含むチャージポンプ回路を含み、
前記第2電圧変換回路は、前記基準電圧に基づいて前記第4電圧を降圧することにより前記第3電圧を形成するための降圧回路を含むことを特徴とする半導体装置。

【請求項6】請求項1において、前記半導体装置は、1つの半導体チップ上に形成された半導体集積回路であり、
前記第1回路ブロックは、前記半導体チップの外部と信号を入出力するための入出力回路を含み、
前記第2回路ブロックは、前記第1回路ブロックを介して入力された信号を受けて所定の結果を前記第1回路ブロックに出力する論理回路を含み、
前記第3回路ブロックは、複数のワード線と複数のビット線の交点に設けられた複数のダイナミック形メモリセルと、選択された前記複数のワード線の一つ前記第3動作電圧に駆動するためのワード線駆動回路とを有するダイナミック形メモリを含み、 40

前記ダイナミック形メモリは、前記第2ブロックの論理回路により発行されるアドレス信号に対応する前記ダイナミック形メモリセルに記憶される情報を前記論理回路に出力し、

前記第1及び第2動作電圧は前記半導体チップの外部から供給され、

前記第1動作電圧は、前記第2及び第3動作電圧よりも大きいことを特徴とする半導体装置。

【請求項7】請求項6において、

前記電圧発生回路は、前記第1動作電圧を受けて前記第1動作電圧よりも電圧の大きな第4動作電圧を形成する昇圧回路と、前記第4動作電圧を受けて前記第4電圧よりも電圧の小さな前記第3動作電圧を形成する降圧回路とを含むことを特徴とする半導体装置。

【請求項8】請求項6において、
前記前記第1回路ブロックと前記第2回路ブロックとの間の信号の入出力は、前記第1動作電圧の振幅を持つ第1信号を前記第2動作電圧の振幅を持つ第2信号に変換する第1レベル変換回路と、前記第2動作電圧の振幅を持つ第3信号を前記第1動作電圧の振幅を持つ第4信号に変換する第2レベル変換回路とを介して行われ、
前記第2回路ブロックと前記第3回路ブロックとの間の信号の入出力は、前記第2動作電圧の振幅で行われることを特徴とする半導体装置。

【請求項9】請求項1において、
前記半導体装置は、1つの半導体チップ上に形成された半導体集積回路であり、前記半導体装置は、
前記第1動作電圧を前記半導体チップの外部から受けるための第1電源端子と、前記第1電源端子に接続された第1電源配線と、 20

前記第2動作電圧を前記半導体チップの外部から受けるための第2電源端子と、前記第2電源端子に接続された第2電源配線と、

前記第1動作電圧の基準となる電位を前記半導体チップの外部から受けるための第3電源端子と、
前記第3電源端子に接続された第3電源配線と、
前記第2動作電圧の基準となる電位を前記半導体チップの外部から受けるための第4電源端子と、

前記第4電源端子に接続された第4電源配線とを備え、
前記第3電源配線と前記第4電源配線は前記半導体チップ上で分離され、

前記第1回路ブロック及び前記電圧発生回路には前記第1及び第3電源配線を介して前記第1電圧が供給され、
前記第2回路ブロックには前記第2及び第4電源配線を介して前記第2電圧が供給されることを特徴とする半導体装置。

【請求項10】請求項1において、
前記半導体装置は、1つの半導体チップ上に形成された半導体集積回路であり、前記半導体装置は、
前記第1動作電圧を前記半導体チップの外部から受けるための第1電源端子と、前記第1電源端子に接続された第1電源配線と、

前記第2動作電圧を前記半導体チップの外部から受けるための第2電源端子と、前記第2電源端子に接続された第2電源配線と、

前記第1動作電圧の基準となる電位及び前記第2動作電圧の基準となる電位を前記半導体チップの外部から共通に受けるための第3電源端子と、

前記第3電源端子に接続された第3電源配線と、 50

前記第 1 回路ブロック及び前記電圧発生回路には前記第 1 及び第 3 電源配線を介して前記第 1 電圧が供給され、前記第 2 回路ブロックには前記第 2 及び第 3 電源配線を介して前記第 2 電圧が供給されることを特徴とする半導体装置。

【請求項 11】請求項 1 において、

前記半導体装置は、1つの半導体チップ上に形成された半導体集積回路であり、前記半導体装置は、

前記第 1 動作電圧を前記半導体チップの外部から受けるための第 1 電源端子と、前記第 1 電源端子に接続され、前記第 1 回路ブロックに前記第 1 動作電圧を供給するための第 1 電源配線と、

前記第 2 動作電圧を前記半導体チップの外部から受けるための第 2 電源端子と、前記第 2 電源端子に接続され、前記第 2 回路ブロックに前記第 2 動作電圧を供給するための第 2 電源配線と、

前記第 1 電源端子と分離して配置され前記第 1 動作電圧を前記半導体チップの外部から受けるための第 3 電源端子と、

前記第 3 電源端子に接続され、前記電圧発生回路に前記第 1 動作電圧を供給するための第 3 電源配線とを有し、前記第 1 電源配線と前記第 3 電源配線は前記半導体チップ上で分離されることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路装置に係わり、特に多様な形態の回路ブロックを混載した高速・低電力な半導体集積回路装置に関する。

【0002】

【従来の技術】この明細書で参照される文献のリストは以下の通りであり、文献は文献番号をもって参照することとする。

【文献 1】: M. Tsukude et al., 1997 IEEE International Solid-State Circuits Conference (ISSCC) Digest of Technical Papers, February 1997, PP. 66-67.

【文献 2】: 特開平 8-234851 号公報

【文献 3】: S. Fujii et al., 1986 IEEE International Solid-State Circuits Conference (ISSCC) Digest of Technical Papers, February 1986, p1333-1343. 【文献

4】: H. Tanaka et al., IEICE Transaction on Electron, Vol. E75-C, No. 11, November 1992, p1333-1343.

【文献 1】には、チップ外部から供給される 1.2V から 3.3V までの電圧の電源電圧 $extV_{cc}$ によって動作させる DRAM 回路が記載されている。ここで、ワード線の駆動用電圧 V_{ccP} は、 $extV_{cc}$ から V_{ppGen} (昇圧回路) により形成されている。また、アレイ電圧 V_{ccA} 、周辺回路電圧 V_{pp} 、共有ゲート電圧 (Shared-Gate Level) SGL は、 $extV_{cc}$ からそれぞれに対して専用で設けられた VDC (Voltage Down Converter 電圧降下器) により形成されている。

【0003】また、【文献 2】には、マイクロコンピュー

タ等に係り複数のモジュール (回路ブロック) をもつ半導体集積回路装置が記載されている。これら複数のモジュールに対する動作電源電圧は以下のように形成される。即ち、チップ外から供給される電源電圧 V_{cc} から昇圧回路 4 により昇圧電圧 VH を一旦発生させる。次に複数のモジュールごとに設けられた複数の電圧レギュレート回路により、昇圧電圧 VH を降圧してそれぞれのモジュールに適合した動作電源電圧を形成して、それぞれ対応するモジュールに供給している。

【0004】

【発明が解決しようとする課題】上記の【文献 1】や【文献 2】が単一の電源電圧で動作する半導体集積回路装置を対象とするのに対して、本願発明者等は、本願に先だって、信号の入出力のための I/O 回路のための第 1 電源 V_{DDQ} と、内部論理回路のための第 2 電源 V_{DD} の 2 種類の電源が供給される半導体集積回路において DRAM 回路のような多種類の動作電源電圧を必要とする回路を混載する技術について検討をおこなった。

【0005】近年の高集積化による IC (Integrated Circuit) の高機能化及び高速化に対応すべく、特に MOS トランジスタのサイズに代表される内部の回路素子の微細化が進められている。この技術の流れに対する課題は、素子数の増加にともなう消費電力の増大と回路素子の微細化に伴う破壊耐圧の低下である。この結果、これらの問題を解決するために動作電源電圧の低電圧化が押し進められることとなる。

【0006】しかし、I/O 回路のための第 1 電源 V_{DDQ} は、過去に決定された仕様を持つ多くの IC との整合性をとることが必要となるため比較的長期に渡って同じ電圧が使用される。もちろん、 V_{DDQ} も時代とともに低下することは必須であるが年月に対してその低下の割合は比較的穏やかである。これに対して、内部論理回路のための第 2 電源 V_{DD} は V_{DDQ} のような制約が無いいため、急激な割合でその電圧の低減が進められている。

【0007】以上のような状況において DRAM を混載する場合には、当該 DRAM 回路ブロックの電源給電を如何に行うかが課題の一つとなる。即ち、I/O 回路のための第 1 電源 V_{DDQ} は、比較的高い電源電圧の供給が期待できる点では、DRAM 回路ブロック用の電源として用いる条件を満たす。しかしながら、第 1 電源 V_{DDQ} は、比較的大電流の流れる I/O 回路に用いられるため電源ノイズが大きという問題がある。即ち直接この電源を DRAM 回路に用いた場合にはその性能が十分発揮されないおそれがある。これに対して、第 2 電源 V_{DD} は急激な低電圧化が進行しているため、将来 DRAM 回路ブロックの電源をまかなうには電圧が低すぎる状態になることが懸念される。即ち、DRAM 回路ブロック内では、ワード線の駆動電圧が最も高い電圧を必要とされる部分であるが V_{DD} からチャージポンプ形昇圧回路でワード線駆動電圧を形成する技術を用いた場合には、電力効率等の面で困難が生ずることが考え

られる。以上のような問題は論理回路とDRAMを混載したチップに限ったものではなく、DRAM回路ブロックの代わりにAD変換器やDA変換器やPLL等のアナログ回路やフラッシュメモリ等の回路、あるいは、電源電圧変動に対して敏感な0.7V以下の超低電圧で動作するマイクロプロセッサやDSPなどの論理回路でも同様の問題を生じることが予想される。

【0008】そこで、本願発明の目的の一つは外部から供給される電源電圧の電圧が低下することに対応して起こる動作電源供給の課題を解決し、安定かつ柔軟性のあ

【0009】

【課題を解決するための手段】本願発明の代表的な手段は以下の通りである。即ち、第1動作電圧が供給される第1回路ブロックと、第2動作電圧が供給される第2回路ブロックと、前記第1動作電圧を受けて第3動作電圧を発生する電圧発生回路と、前記第3動作電圧が供給される第3回路ブロックとを有するように半導体装置を構成する。さらに望ましくは、第3動作電圧は、第1動作電圧から昇圧回路によりそれよりも電圧の大きな第4動作電圧を形成し、その第4動作電圧を降圧回路により降圧して形成する。これにより、たとえ第1動作電圧として比較的揺れを持つ電源を用いたとしても安定な半導体装置の動作が確保される。

【0010】

【発明の実施の形態】以下本発明の実施例を図面を用いて詳細に説明する。実施例の各ブロックを構成する回路素子は、特に制限されないが、公知のCMOS（相補型MOSトランジスタ）等の集積回路技術によって、単結晶シリコンのような1個の半導体基板上に形成される。MOSFET (Metal Oxide Semiconductor Field Effect Transistor) の回路記号はゲートに丸印をつけないものはN形MOSFET (NMOS) を表し、ゲートに丸印をつけたP形MOSFET (PMOS) と区別される。以下MOSFETを呼ぶために簡略化してMOSと呼ぶことにする。但し、本願発明は金属ゲートと半導体層の間に設けられた酸化膜絶縁膜を含む電界効果トランジスタだけに限定される訳ではなくMISFET (Metal Insulator Semiconductor Field Effect Transistor) 等の一般的なFETを用いた回路に適用される。

【0011】＜実施例1＞図1に本発明を用いた半導体集積回路チップ（以下、単にシリコンチップあるいはチップと記す）の全体構成を示す。実施例を示す。このチップにはそれぞれ独立とされる電源パッド101を介してI/O電源電圧VDDQ及びVSSQと、コア電源電圧VDD及びVSSがチップ外部から供給される。VDDQはI/O電源電圧の高電位側であり、VSSQはそれに対応する基準電位（接地電位）側である。また、VDDはその電源の高電位側であり、VSSはそれに対応する基準電位側である。一般に、I/O電圧（VDDQ-VSSQ）はコア電圧（VDD-VSS）よりも高い。具

体的な電源電圧については特に限定しないが、例えばI/O電圧は3.3Vで、コア電圧は1.5V程度が典型例である。通常VSSQとVSSとは接地電位（GND）であり理想的には同じ電位であるので、以下便宜上I/O電源電圧をVDDQと呼び、コア電源電圧をVDDと呼ぶことにする。

【0012】I/O回路PAD1はチップ外部との信号のインターフェースのための回路であり、VDDQ及びVDDを動作電源とする。この図にはチップ外部に対する信号入力パッドIN1～INnと信号出力パッドOUT1～OUTmと、入力と出力とを兼用した入出力信号パッドI/O1～I/Okを例示した。尚、通常はチップ外部からの信号の振幅とVDDQとVSSQの間の電圧は一致する。VDDは後述する第1回路ブロックCIR1の動作電圧であり、CIR1内の信号振幅に一致する。従って、I/O回路はCIR1との信号インターフェースのためVDDQ-VSSQ間の振幅を持つ信号をVDD-VSS間の信号に変換するレベル変換回路（その逆もある）を含む。I/O回路PAD1の具体例は、図16～18で後述する。

【0013】第1回路ブロックCIR1は、コア電源電圧VDDだけで動作可能な内部回路である。CIR1の具体的な回路構成としては、NAND回路等のロジック回路やレジスタやスタティックメモリ（SRAM）回路、あるいはマイクロプロセッサやDSP (Digital Signal Processing) 回路等が挙げられる。CIR1は、VDD-VSS振幅を持つ信号によってPAD1や後述する第2回路ブロックに対する信号のやりとりを行う。CIR1は、後に図15によって一例が示される。

【0014】一方、第2回路ブロックCIR2は、VDDQやVDDの他に所定の内部電源電圧VINT1～VINTnを受けて動作する回路ブロックである。CIR2の具体的な回路構成としては、例えばAD変換器やDA変換器やPLL等のアナログ回路や、DRAM回路が挙げられる。また、電源電圧変動に対して敏感な0.7V以下の超低電圧で動作するマイクロプロセッサやDSPなどが挙げられる。第2回路ブロックCIR2については、DRAM回路の具体例が図8～14に後述される。

【0015】最後に、電圧発生回路ブロックPWR1は上記のCIR2で必要とされる内部電源電圧VINT1～VINTnを発生するための回路であり、VDDQ、VDDをその動作電源電圧とする。以上が本願の対象とする半導体装置の全体図であり、以下各回路ブロック内の詳細について説明する。

【0016】[1. 電圧発生回路ブロックPWR1] 図2に、電圧発生回路ブロックPWR1の一例を示す。ここでは、第2回路ブロックCIR2を後述するDRAM回路とした場合に必要となる内部電源電圧を発生するための回路とした場合の具体例を示している。CIR2に含まれるDRAM回路では、外部から供給されるVDDの他、内部電圧としてワード線駆動電圧VDH（例えば3V）、センスアンプ用オーバードライブ電圧VBS（例えば2V）、アレイ電圧VDL（例えば1.5V）、プリチャージ電圧VBM（例えば0.75V）及び、プレート

電圧VPL (例えば0.75V) が必要とされる。これらの内部電源電圧は $VDH > VBS > VDL > VBM = VPL = VDL/2$ となるのが最も典型的なケースである。

【0017】図2において、選択されたワード線を駆動するための電圧であるワード線駆動電圧VDHの発生は本願の最も特徴的な部分の一つである。即ち、昇圧回路GEN1は、I/O電圧VDDQ (例えば3.3V) を受けてそれよりも大きな電圧VPWR1 (例えば5V) を発生する。そして降圧回路VLM1 (電圧リミッタ、レギュレータとも呼ばれる) により、VPWR1の電圧を降圧してVDH (例えば3V) を発生させている。

【0018】この例では $VDDQ > VDH$ であるため原理的には、VDDQから降圧回路を使って1段階でVDHを発生することは不可能では無い。しかし、本願構成によれば、VDDQのように比較的雑音が重畳されることが多いI/O回路のための電源から安定なVDHの形成できる。また特にVDDQとVDHとの電源電圧が接近している場合 ($VDDQ \geq VDH \geq VDDQ - 0.5V$) には、安定なVDHを降圧回路の現実的な構成が更に困難であるという問題も解決する。一方、上記のVDDQを利用することの問題を回避すべくVDDから昇圧回路を使って1段階でVDHを発生することもできる。しかしこの場合にはVDDが低電圧化される結果相対的に昇圧比を大きくする必要があり、昇圧回路の効率が低減するため昇圧回路の低電力化が困難になるが、本願発明によればこのような課題を解決することができ、比較的昇圧比の小さな昇圧回路を用いて低消費電力化を図ることができるようになる。

【0019】センスアンプ用オーバドライブ電圧VBS及びアレイ電圧VDLのそれぞれは、おのおのに対応して設けられた降圧回路VLM2とVLM3により、VDDQを降圧することにより形成される。VLM2とVLM3は動作する電源電圧がVDDQとなることと除けばVLM1と同じ形式の回路により実現される。またプリチャージ電圧VBM及びプレート電圧VPLは、VDLから形成された $VDL/2$ とされる。VDL/2の発生回路の具体例は例えば[文献3]に記載する回路をもちいることができる。

【0020】図3に図2のチャージポンプ方式による昇圧回路GEN1の具体例をしめす。C601、C602、C701~C705はポンピング容量、C603およびC706a、C706bは平滑容量である。OSCは発振回路、SENはレベルセンサである。図示していないが、レベルセンサは後に示す基準電圧発生回路の形成する基準電圧VREF1を基準として発生したVPWR1の電圧の大小を比較する構成とすることもできこの場合はVPWR1の発生電圧の電圧変動や電源変動に対する安定化が更に図られる。OSCは180度の位相差を持つクロック信号clkおよびclkを出力している。clkおよびclkのクロックによってポンピング容量に貯められた電荷がそれぞれVPWR1に接続された平滑容量に転送され、VPWR1にVDDQよりも高電位な電圧が得られる。ポンピングされた電圧VPWR1はSENでその電圧がモニタされ、OSCの発振を

制御してVPWR1電圧を所望の電圧に制御する。

【0021】図4に、図2中の基準電圧発生回路REF1としていわゆるバンドギャップ基準電圧発生方式(Bandgap reference)を示す。R903~R905は抵抗で、B901およびB902はPNPバイポーラトランジスタで、特に限定しないが、CMOSプロセスではMOSトランジスタのドレインあるいはソースに使用する拡散層とウェルと基板間に作成できる寄生バイポーラトランジスタを用いることができる。このバイポーラトランジスタを用いた基準電圧発生回路は、その出力電圧VREF1の温度特性が極めて小さいという特徴があるため、プロセス的な問題がなければ本発明の基準電圧発生回路として好適である。

【0022】基準電圧発生回路REF1はI/O電圧VDDQを動作電源として動作させることとしている。この基準電圧発生回路の出力する基準電圧VREF1がシリコンのバンドギャップに近い1.2V程度であるため、電源としてはそれ以上の電圧の電源が必然的に必要である。従って、コア電圧VDDをREF1の電源に用いた場合、VDDの低電圧化を図るための障害となる可能性があるためである。即ち、REF1をVDDが1V程度になるとREF1は安定に動作しなくなるためである。この場合あくまでVDDを動作電圧としてREF1を動作させるには、VDDからそれよりも高い電圧を発生する昇圧回路 (例えば図3と同じもの) を用いてVDDRを形成し、それにより図4のVDDQに代えて、REF1を動作させるようにすることもできる。図4ではバンドギャップ基準電圧発生方式を用いたが、そのほかの方式として例えばMOSトランジスタのしきい値電圧を用いたものや、二つの異なるしきい値電圧を持つトランジスタのしきい値電圧差を利用した回路も利用可能である。

【0023】図5に、図2の降圧回路VLM1の具体例をしめす。この回路はVDDQを降圧してVBSやVDLを形成するVLM2にも応用される。図5で1101及び1102のそれぞれは、差動増幅器で構成されたオペアンプとその差動増幅器の出力でゲートが制御される出力用のPチャネルMOSを含み、負帰還動作によりそれぞれ基準電圧に対応した降圧電圧を形成する回路である。この種の回路については[文献4]に詳述されている。1101は、基準電圧のレベル変換のための電圧リミッタ回路であり、REF1の発生するVREF1を受けて抵抗R1103とR1104で分圧した電圧と比較することにより、所望の内部電圧に等しい第2の基準電圧VREF2を発生する。VREF2はVDHと実質的に等しい電圧である。図4に示したVREF1の回路では、VDHに等しい電圧を直接形成することが困難であるあるため1101を用いたが、VREF1から直接に内部電圧に等しい電圧が発生できるならば、1101を省略して内部電圧出力用のバッファとしての電圧リミッタ回路1102に直接接続してもよい。図5では差動増幅器及び出力MOSは昇圧電圧VPWR1により動作するものとした。

【0024】図6は、図2から5で示した本発明の方法によって生成したVREF1、VPWR1、VDHのVDDQに対する電

圧依存性を示している。VREF1はVDDQが約1.2V以上でVREF1=1.2Vの一定電圧を出力している。また、VPWR1はVDDQの増加に対して線形な依存性を電圧を発生する。これらのVREF1およびVPWR1の電圧を元に、VLM1によりVINT1を発生している。ここでは、 $(R1103+R1104)/R1104=2.5/1.2$ に設定することで、VDDQ>1.2VでVDH=2.5Vの一定電圧が得られている。チップ外部から入力されるVDDQ電圧の中心値が3.3Vであり、その標準動作補償範囲VDDQ-STを3.0V~3.6Vであるとする、その電圧範囲内でVDHは一定電圧2.5Vが得られていることがわかる。

【0025】一方、図7は同じく図2から5で示した本発明の方法によって生成したVREF1、VPWR1、VDHのVDDに対する電圧依存性を示している。図2から5で示したいずれの回路もVDDを用いていないため、VREF1やVPWR1やVINT1電圧のVDD電圧依存性は図19で示されるようにフラットである。チップの動作保証VDD電圧範囲を例えば1.0V~2.0Vのように広範囲に設定しても、VINT1は2.5Vの一定値が得られる。

【0026】このように本発明では、図1のCIR1のような回路の低電力化のためにVDD電圧を低電圧化しても、CIR2の回路に供給されるVINT1の電圧は低電圧化されずに一定電圧が得られるという特徴がある。例えば、CIR2にDRAMのような低電圧化に対してその速度劣化等が激しい回路を用いても、VDD電圧依存性の無いVINT1~VINTnの電圧をDRAM回路に用いることで、VDDが低電圧化しても高速にDRAMを動作させることができる。

【0027】[2. 第2の内部回路ブロックCIR2] 図8に第2の内部回路ブロックCIR2の一例としてのDRAM回路を示している。ここでX-INBUF、Y-INBUFはそれぞれXアドレス、Yアドレスのインプットバッファで、例えば第1の回路ブロックから供給されるVDD-VSSを信号振幅とするアドレス信号を受けて、VDL振幅の信号に変換する。これらのアドレス信号は、それぞれXアドレスデコーダX-DEC、YアドレスデコーダY-DECに伝達されそこでデコードされワード線やカラム選択線の選択すべきものを決定する。XアドレスデコーダX-DECは、ワードドライバX-DRの一つを選択する信号を形成し、選択されたワードドライバは対応するワード線WLをVDHに駆動する。

【0028】MARYはメモリセルアレイで、MCELLで示されたダイナミック型メモリセルがアレイ状に配置されて構成されている。wlはメモリセルのゲート信号に接続されたワード線、bl、/blはメモリセルに対して情報の読み書きを行うビット線である。なお、blと/blは対のビット線である。PCはビット線のプリチャージ回路で非選択時にビット線をVBM=VDL/2にプリチャージする。SA/WRはセンスアンプ・ライトアンプ回路で選択されたメモリセルから読み出された信号のlow/highを判別しVSSまたはVDLに増幅する。Y-INBUFをから入力されたYアドレスは-DECでデコードされ所定のカラム選択線の一つYドライバY-DRにより選択する。このカラム選択線により、

いわゆるYスイッチY-SWがONとされ、選択されたビット線対bl、/blがgbl、/gblに結合される。EQはそのグローバルビット線のイコライズ回路、MA/MWRはグローバルビット線に対するメインセンスアンプ・メインライトアンプ回路である。BUFはCIR2内部回路の信号振幅をCIR2外部の信号振幅に相互変換するバッファ回路である。

【0029】図9及び10は、それぞれVDD振幅の信号をVDL振幅の信号に変換するバッファおよび、VDL振幅の信号をVDD振幅の信号に変換するバッファの具体回路である。図8のX-INBUF、Y-INBUF、BUFに用いることができる。本実施例のようにVDDが1.0V~2.0Vの広範囲の電圧をとる場合でも、これらのバッファ回路によってCIR2内の回路とCIR2外の回路とのインターフェースを貫通電流を発生させないで高速に行うことができる。

【0030】図11は図8のデコード回路X-DEC、及びワードドライバX-DRの具体例をしめしたものである。2301はデコーダ回路であり、X-INBUFから入力された複数のXアドレス信号ajとワード線駆動信号swlをデコードする。2302はレベル変換回路で、VDL振幅のデコード結果の信号をワード線昇圧電圧VDH振幅までレベル変換を行う。2303はXドライバ回路で、ワード線wlの駆動を行う。

【0031】図12に、図8のPC、SA/WR、Y-SWの詳細回路を示す。24071~2407nはプリチャージ回路PCで、24081~2408nがセンスアンプ・ライトアンプ回路SA/WR、24091~2409nがYスイッチY-SWである。SA/WRにはCMOSラッチ型のセンスアンプ回路を用いている。また、Y-SWはNMOSを用いたバストランジスタ回路で構成している。ここではビット線bl、/blのプリチャージレベルはアレイ電圧VDLの半分の電圧(いわゆるハーフプリチャージ方式)であるため、プリチャージ回路PCはNMOSで構成している。2410はそれらの回路の駆動回路である。

【0032】図13に、図8のイコライズ回路EQ、メインセンスアンプ/メインライトアンプMA/MWRの具体例を示す。2501はEQで、2502はMAで、2503はMWRである。グローバルビット線gbl、/gblのプリチャージレベルはここではアレイ電圧VDLに設定しているため、イコライズ回路EQはPMOSで構成し、メインライトアンプMWRはNMOSでgbl、/gblを駆動するように構成している。また、メインセンスアンプは高速化のためにカレントミラー型のセンスアンプを使用している。

【0033】図14に図8から図13で示したDRAM回路の動作波形を示す。ここでは一例として読み出し動作の例を示す。アドレスが確定した後に時刻T1でseq1を'L'レベルにしてビット線のプリチャージが解除する。同時に、swlを'H'レベルにすることで、wlがVSSからVDHまで駆動される。これによってメモリセルの内容がビット線に反映される。その後、sovが'L'レベルに、ssnを'H'レベルにすることで、センスアンプがオーバドライブ駆動される。これにより、cspおよびcsn電位は0.75Vからそ

れぞれ2.0Vおよび0Vに駆動される。ビット線の電位がセンスアンプによって増幅された後、sovを'H'レベルに戻し、sspを'L'レベルに駆動する。これにより、cspは1.5Vに駆動され、blと/blのビット線電位は、それぞれ1.5Vから0Vまで増幅されることになる。

【0034】時刻T2ではsysが'H'に駆動され、選択されたY-SWがオン状態となる。これによって対応するビット線の電位がグローバルビット線に反映される。smaを'H'レベルに駆動することでメインセンスアンプが動作して、グローバルビット線電位が増幅されてdoutに出力される。

【0035】時刻T3では各制御信号をネゲート状態にし、seq1を'H'レベルにしてseq2を'L'レベルにすることでビット線とグローバルビット線がプリチャージされる。

【0036】以上のDRAM回路は、CIR1に使用しているコア電圧VDDを例えば1.5Vから1.0Vに低電圧化しても、DRAM内部の読み出しあるいは書き込み動作の速度に大きく依存する内部電圧は変化しないためにDRAMの高速動作が保証される。この特徴を利用すれば、コア電圧VDDをCIR1の動作状態に応じて変化させることができ、チップ全体に消費電力を大幅に低減できる。この場合、コア電圧VDDを発生する電源回路は例えばチップ外部に付加すればよい。また、その出力電圧(=コア電圧VDD)を制御する制御回路は、例えばCIR1内に設ければよい。

【0037】さらに、CIR1の動作状態に応じて、動的にCIR1に供給されているコア電圧VDDを変化させるのに加えて、CIR1の動作周波数を同時に制御すれば、CIR1の消費電力をその動作に必要な最低限なものに抑えることができる。

【0038】なお、図8から図14で示した実施例では、アレイ電圧VDLをチップのコア電圧VDDと異なる電圧に設定している。一般にDRAMの電源の中で一番多くの電流を消費するのはビット線の充放電を行うアレイ電圧VDLであることが多い。このアレイ電圧を図5のレギュレータVLMを用いて発生する場合、レギュレータの電圧変換効率分だけより多くの電力を消費してしまう。したがって、アレイ電圧はなるべくチップのパッドから直接供給した方がよい。例えば、アレイ電圧にチップのコア電圧VDDをそのまま直接使用すればよい。この場合、コア電圧の低電圧化によって、アレイ電圧が変化してしまうが、図12で示したいわゆるオーバドライブ方式によるセンスアンプの駆動方法を採用すれば、コア電圧の低電圧化に伴うDRAMの速度劣化は、コア電圧の低電圧化にともなうCMOSロジック回路で構成されたCIR1回路の速度劣化と同じ程度に抑えることができる。

【0039】[3. 第1の内部回路ブロックCIR1] 図15は、図1中の第1内部回路ブロックCIR1を構成する要素回路の具体例を示している。ここでは簡単にインバータ(INV)が二つと2入力NAND(2 inputs NAND)が一

つ、2入力NOR(2 inputs NOR)が一つの例を示している。VDDとVSS間に論理回路が組まれており、入出力信号A, B, CはそれぞれVDD-VSS振幅である。

【0040】第1内部回路ブロックは、図15に示された要素回路等を用いて、例えばマイクロプロセッサCPUが形成される。このCPUの必要とされるデータや命令が前述のDRAMを含む第2回路ブロックに記憶される。即ち、CPUはDRAMに対して必要とするデータのアドレスを発行し、そのアドレスのメモリセルに記憶された情報を受け取る。また、CPUはDRAMに所定のデータを記憶させる必要がある場合には、記憶させるデータと記憶させるべきアドレスとをDRAM回路に対して発行する。

【0041】[4. 入出力回路PAD1] 図16は、図1中の入出力回路PAD1の具体例を示している。2702、2703は後でより詳しい回路例を示すがレベル変換回路である。2701、2702、2703、P2704、N2705で出力バッファを構成している。selは'H'でoutが'H'の時、P2704がオンしてPADにはVDDQ電位が出力される。また、selが'H'でoutが'L'の時、N2705がオンしてPADにはVSSQ電位が出力される。一方、selが'L'の時には、P2704、N2705ともオフし、PADは入力ピンとして機能する。

【0042】2712はいわゆるESD(Electrostatic discharge)素子と呼ばれるもので、パッドに接続してパッドに印可される静電気等の外来ノイズからチップ内部の回路破壊を阻止する保護回路である。D2708およびD2710はダイオード、R2709は抵抗、N2711はNMOSトランジスタである。2706は後で詳しい回路例を示すがレベル変換回路である。2712、2707、2706で入力バッファを構成している。PADがVDDQレベルにドライブされると、inにはVDD電位が出力される。また、PADがVSSQレベルにドライブされると、inにはVSS電位が出力される。

【0043】図17は図16の2702および2703の具体例である。相補な信号i1およびi2を入力して、レベルを変換してo1に出力している。また、図18は図16の2706の実施例である。図17と同様に相補な信号i1およびi2を入力して、レベルを変換してo1に出力している。図16から図18で示したI/O回路の他にも、1.8V CMOS、2.5V CMOS、3.3V LVTTTL、AGP、PCI、SSTL、HSTL、GTL、GT L⁺、SSTL、SSTL-2、LVDS等の多くの種類のI/Oインターフェース規格に準拠した回路でもよいことはいうまでもない。

【0044】以上、本実施例で示したチップはそのチップ内に2種類のゲート酸化膜圧のトランジスタがあると仮定した。P2901やN2902で示された図面ではゲート部分の記述に細長いボックスを用いて記した厚いゲート酸化膜圧のトランジスタは、I/O電圧の耐圧があるトランジスタで、高電圧が印可される場所に用いるのが好適である。また、P2905やN2906で示された図面ではゲート部分の記述に一本の細いラインを用いて記した薄いゲート酸

化膜圧のトランジスタは、コア電圧の耐圧があるトランジスタで、コア電圧で動作する回路で用いるのが好適である。

【0045】本実施例で示したそれぞれのトランジスタは、そのトランジスタの各端子に印可される電圧によってその種類を最適に選んだ一つの例であり、特に本実施例で示した使い方に限定するものではないが、耐圧が許すかぎり薄い酸化膜圧のトランジスタを用いた方が回路性能が高くなることは明らかである。

【0046】以上の第1の実施例によって得られる本願10の効果は以下の通りである。

【0047】(1) I/O電源と少なくとも一つのコア電源とからなる電源系を持つチップにおいて、第2回路ブロックCIR2の電源を、I/O電源から降圧して安定化させて供給するか、あるいはI/O電源から昇圧してから降圧して安定化してから供給している。これにより、コア電源電圧が低電圧化しても、第2回路ブロックCIR2は正常に動作させることができる。上記第1の実施例では第2回路ブロックCIR2にDRAM回路を適用したが、DRAM回路は一般に論理回路よりも低電圧動作特性が悪い。すなわち、低電圧時の速度劣化が激しい。第1の実施例のように第1回路ブロックCIR1の電源であるコア電源を、DRAM回路の電源と分離して、DRAM回路の電源はI/O電源から安定化させて使用することにより、DRAMの低電圧特性に律則されずにコア電源を低電圧化できる(第1回路ブロックCIR1の電源を低電圧化できる)。また、昇圧して所望の電圧を得る場合、コア電圧の低い電圧から昇圧するよりも、I/O電圧のより高い電圧から昇圧した方が昇圧比が小さく抑えることができ、高効率化できる。

【0048】(2) DRAM回路内部で用いる電源をI/O電源から生成している。これにより、コア電源を変化させてもDRAM回路の動作には影響を与えない。DRAM回路内部で用いる電源をコア電源から生成した場合、コア電源を変化させればDRAM回路用の電源が変化してしまう。第1回路ブロックCIR1の電源電圧(コア電源電圧)を第1回路ブロックCIR1の動作周波数に応じて変化させてなるべく低電力になるように動作させる場合、従来の構成ではDRAM回路が電源電圧の変動に追従できなくなり、誤作動を引き起こす可能性が高い。第1の実施例ではコア電源電圧は使用中に自由に变化させることができるために、DRAM回路は誤作動しない。

【0049】(3) 電源電圧変動に対して敏感な第2回路ブロックCIR2の電源電圧をPWR1を介して供給している。これにより、PWR1は電源電圧安定化回路として動作するために、第2回路ブロックCIR2が安定動作する。たとえば第2回路ブロックCIR2に0.5Vで動作する論理回路を用いた場合、0.5V動作の論理回路はその論理回路を構成するMOSのしきい値をかなり低くしないかぎり電源電圧の変動に対する動作速度の変化が大きい。たとえば、50

0.4Vと0.5Vでは2倍以上の動作速度差が生じる。このような回路に本実施例の構成を用いれば、0.5Vを安定化して供給できるので、論理回路を所望の速度で動作させることができる。

【0050】(4) さらに本実施例では、PWR1の出力電圧はシリーズレギュレータで出力している。出力電圧を生成するのにチャージポンプやLやCを利用したスイッチングレギュレータで生成した場合、突入電流によって出力電圧がそれ以下の電圧に下がった場合の復帰時間が長くなってしまうという欠点がある。なぜなら、スイッチング電源は一般にそのスイッチング周波数でしかフィードバックが効かないためである。スイッチング周波数を高くすれば改善するが、今度は電圧変換時の電力効率が悪くなってしまう。それに対して、本実施例の手法では、上記電圧ドロップの復帰時間が極めて高速である。電源電圧変動を抑制するのに用いられるデカップリングコンデンサ(いわゆるバスコン)を付加したのと同様の効果を得ることができる。

【0051】<実施例2>実施例2では、実施例1の図1に示した本願発明の対象とする半導体集積回路の全体構成の変形例について示す。

【0052】図19は、図1と比較すると、I/O電源の基準電位VSSQとコア電源の基準電位VSSを共通化してVSSとし、共通の電源パッドから当該VSSを受けるとともに内部の基準電位用電源配線も共通化した例である。例えばI/O回路の消費電力低く、ピーク電流が少ない場合、I/O電源をコア電源と分けなければならない。この場合、VSSとVSSQを共通化してやればチップ全体としてピン数を減らすことができる。

【0053】図20は、図1ではPAD1とPWR1に共通に使用されていたVDDQおよびVSSQ供給のためのパッド及び電源を、それぞれの回路ブロックで分けて用意している場合の実施例である。ここでは、VDDQおよびVSSQはPAD1のために使用し、VDDQ_CIR2およびVSSQ_CIR2はPWR1のために使用している。なお、通常、シリコンチップ外部のピンあるいはプリント基板上でVDDQとVDDQ_CIR2が電氣的に短絡され、VSSQとVSSQ_CIR2も電氣的に短絡される。一般にI/O回路はチップ外部の大きな容量負荷を駆動するために、その電源には大きなノイズが乗る。そのため、I/O回路の電源は他の電源から分離した方が、他の電源にその大きなノイズが混入することを防ぐことができる。図20の場合、PWR1にPAD1で発生した電源ノイズが混入することを防ぐことができる。

【0054】図21は、同じ外部電源電圧を供給する際の半導体集積回路の封止されたパッケージの端子及び、半導体チップの電源パッドの取り方の一例を示す。即ち、一般にパッドひとつに流すことができる電流は、ボンディングワイヤやボンディングワイヤとパッドとの接続箇所あるいはエレクトロマイグレーション等が原因で、その電流量に制限がある。そのため、多くの電流を

流す必要がある電源については複数のパッドを用意するのが一般的である。前述した図1等の実施例のパッドの数は、それぞれ例えばVDDQに対しては一つ、VDDに対しても一つのように、接続先が異なるパッド以外は、各信号あるいは電源に対してひとつのパッドだけを図示しているが、それぞれ複数個設けてもよいことは言うまでもない。また、チップによっては、電位は同じであるが異なるパッドをシリコンチップ外部で接続し、シリコンチップをパッケージングした時のパッケージのピンとしては共通化している形態を持つものがあるが、このような形態のものも含めることは言うまでもない。

【0055】以下図21を具体的に説明する。CHIPはシリコンチップ、PKGはパッケージ、PCBはプリント基板を示す。CKT1、CKT2、CKT3はそれぞれ回路ブロックで、それぞれ接地電位だけを図示している。PAD1、PAD2、PAD3はそれぞれCKT1、CKT2、CKT3の接地電位に接続されたボンディングパッドで、VSSQ電位が供給される。PAD1とPAD2はボンディングワイヤで一つのパッケージのピンPIN1に接続され、PAD3はボンディングワイヤでPIN2に接続されている。さらに、プリント基板上では、PIN1およびPIN2はVSSQ_PCBというVSSQ電位を供給するノードに一般にプリント基板上であるからプリントされた同配線で電気的に接続されている。

【0056】このように回路ブロック毎に電源パッドを分けたり、パッケージのピンを分けることで、ある回路から別の回路への電源ラインをかいしたノイズの混入を抑えることができる。例えば、CKT1がI/O回路で多くのノイズを発生する回路であった場合、CKT2の接地電位に対してはPIN1を介してノイズが混入し、CKT3に対してはVSSQ_PCBをかいしてノイズが混入する。したがって、CKT3へのノイズ混入量はCKT2へのノイズ混入量と比較して小さくすることができる。

【0057】また、電源ラインに挿入するフィルタについては例えばノイズの影響の大きな回路に供給する電源には、例えばフェライトビーズ等のインダクタンスやデカップリング容量を使ったフィルタを挿入してもよい。図21の実施例で、CKT3がノイズの影響を受けやすい回路であるとする、PIN2とVSSQ_PCBの間にフィルタを挿入すると効果的である。また、図20の実施例では、CIR2がDRAM回路であるとする、VDDQ_CIR2はフィルタを介して供給すれば効果的である。

【0058】図22は、チップ外部から供給される電源電圧がVDDQ (例えば3.3V) の1種類に限定される場合を示している。図20と同様に同じI/O電圧 (例えば3.3V) を入力する場合でも、そのパッドをPWR1用とVDL用とPAD1用とでそれぞれ、VDDQ_CIR2、VSSQ_CIR2と、VDDQ_VDL、VSSQ_VDLと、VDDQ、VSSQに分けている。これは図21で示した効果を期待したものである。また、図22ではVDCにVSSQ_VDLとVSSQが供給されているが、どちらか一方でもよいし、両方を用いてもよい。少なくともVDDの出力

電圧の検出回路の接地電位にVSSを用い、その基準電圧回路の接地電位にVSSを用いることで、VDDの電圧レベルを基準電圧を基準とした電圧に設定することができ、VSSQ上に発生したノイズの影響を受けることが少なくなる。

【0059】図23は、極端な例で、図22の全ての接地電位VSSQとVSSを共通なパッドから供給した場合の実施例である。I/O回路で発生したVSSQへのノイズがそのままVSSに影響するが、その他の効果は図22と同様なものが得られる。

【0060】図22と図23ではVDCの構成は特に限定しない。後に示す図32で示すようなスイッチングレギュレータを用いて構成してもよい。図32ではDC-DCコンバータを昇圧回路として動作させる例であるが、この実施例に適用させるように降圧する必要がある場合にはCMOS Buck型の構成をとることは言うまでもない。チャージポンプ方式でもよいが、VDDに多くの電流が流れる場合はスイッチングレギュレータ方式を用いた方が電圧変換効率が高くなる。

【0061】以上の実施例の回路要素は一つのチップ上に形成されているものとして図面に記述あるいはその説明がなされているが、その一部が別チップ上に形成されていたり、チップ外部にディスクリート素子で実現されていたりしてもよい。

【0062】また本発明は、例えば図1のCIR1とCIR2のような回路ブロックが同一チップ上にない場合にも適用できる。その場合は複数のチップを同一パッケージに実装したマルチチップパッケージ(MCP)になる。(ここではMCPは複数のチップを積層化して実装したスタックドチップサイズパッケージ(Stacked CSP)等を含める。) その場合、たとえば図1の実施例ではCIR2とPWR1を一つのチップ上に集積し、他のCIR1とPADを別のチップ上に集積する。当然その場合、101はパッドではなく二つのチップを実装したMCPのピンに対応することになる。このように複数のチップを内蔵するパッケージに本発明を適用しても、上記した本発明の効果が得られることは明らかである。

【0063】さらに、例えばCIR2にDRAM回路を搭載した場合に、CIR2を搭載したチップとそれ以外のチップを別チップにすればプロセス的な負担が少なくなるという効果がある。すなわち、CIR2を搭載したチップはDRAMプロセスで作成し、それ以外のチップはロジックプロセスで作成できる。それに対して、すべてを同一チップ上に集積する場合にはDRAM・ロジック混載プロセスで作成する必要がある。またさらに、CIR2を搭載したチップは単体の汎用DRAMと多くの部分で共通化したチップ仕様のもを用いることができる。その場合、CIR2として容量がそれほど必要でない場合、単体の汎用チップとしては不良と選別されたものを再利用して、その容量を限定してCIR2を搭載したチップとして使用することもできる。

【0064】なお、以上の実施例では簡単のために主に電源系の配線のみを図面に記述あるいは説明しているが、信号線に関してはどのような形態でもよい。多くのチップ内部電源を持つ場合には、一般に異なる振幅の信号が多く存在する。それらの信号間のインターフェースには図17あるいは図18で示したレベル変換回路を用いて行えば、貫通電流を発生することなく、高速にレベル変換が行える。

【0065】＜実施例3＞以下実施例3として、実施例1や実施例2で示した本願発明の対象となる半導体集積回路の全体構成のチップ上で配置の具体例およびその変形例について述べる。GEN1とREF1およびREG1のチップ内の設置する場所を以下に述べるようにすることでさまざまな効果を得ることができる。

【0066】図24は、本発明を使ったチップの物理的なレイアウトイメージを示している。PAD1は外部との信号のインターフェースを行うパッドが配置されている領域であるが、特に限定しないがここではチップ周辺にある。GEN1とREF1はチップ上にそれぞれ一つあり、左上方に配置されている。この例では、第2の内部回路CIR2がさらに2つのCIR2aとCIR2bに分割される場合を例示している。CIR2がDRAM回路である場合に複数のメモリバンクに分割されている場合が典型的にはこのようなケースに該当する。REG1に相当するレギュレータはここではチップ上に二つあり、それぞれREG1a、REG1bで示されている。REG1aはVINTaxを出力し、REG1bはVINTbxを出力し、それぞれの出力を使用する回路CIR1とCIR2の近くにそれぞれREG1aとREG1bが配置されている。

【0067】このようにレギュレータの出力を用いる回路の近くにレギュレータを配置することで、レギュレータからその出力を使用する回路までの接続に使用する配線の寄生抵抗を小さくできる。これにより大きな電流がその配線に流れたときの電圧ドロップを小さく抑えることができる。一般にレギュレータとGEN1との距離は長くなるが、その間には高電圧が送電されており、流れる電流は小さくなる。したがって、レギュレータとGEN1の距離が長くてその配線の寄生抵抗が大きくなっても、電圧ドロップが小さくて済む。さらに、レギュレータに入力される電源電圧VPWR1のノイズ除去比率はレギュレータによって高く保たれているため、レギュレータの出力にはレギュレータとGEN1間の電圧ドロップ等のノイズの影響が出難い。

【0068】図24は基準電圧発生回路はチップに一つ配置して、レギュレータとは離れた場所に配置している。基準電圧発生回路の出力は基準電圧発生回路の接地電位から図って一定電圧が出力される。しかし、接地電位は常にノイズ等により変化し、チップの場所によってその変化の様子が異なるのが普通である。図24の実施例では、例えばREF1の接地電位とREG1aの接地電位が異なることになる。さらに、その接地電位の差はチップの

動作状態によって変化する。したがって、図24の実施例ではレギュレータが受け取る基準電圧VREF1はレギュレータの接地電位からみればノイズによって常に変化してしまい、レギュレータの出力もそれにとまって変化してしまう。

【0069】それに対して、図25は基準電圧発生回路を各レギュレータに一つ設け、レギュレータの近くに配意した実施例である。この実施例では基準電圧発生回路が各レギュレータの近くにあるために、それぞれの接地電位の電位差が小さくて済むという効果がある。すなわち、接地電位にノイズが乗るのは変わらないが、距離が近いためにレギュレータの接地電位のノイズと基準電圧発生回路の接地電位のノイズは同相ノイズになる。これにより、レギュレータの出力電位はレギュレータの接地電位から正確に期待電圧を得ることができる。図25は上記したように理想的なレギュレータと基準電位発生回路の配置例であるが、基準電圧発生回路をレギュレータの数だけ用意するのは、チップの面積増加につながる。

【0070】図26は図24と図25の利点を生かしたレギュレータと基準電位発生回路の配置例である。図24で示したにレギュレータはその出力を用いる回路のなるべく近くに設置した方がよい。一方、図25で示したように基準電圧発生回路はなるべくレギュレータの近くに設置する方がよい。図26では上記要求を、レギュレータ(REG1aやREG1cおよび、REG1bやREG1d)を一つの基準電圧発生回路(REF1aやREF1b)に対して複数用意することで解決している。またさらに図27では、レギュレータの入力電圧はその出力電圧に近い電圧の方が電圧変換効率が良くなるため、REG1cの入力はREG1aの出力から取っている。

【0071】その他、様々な配置方法が考えられるが、その配置方法は特に限定しない。レギュレータの出力電圧の電源ノイズ等の影響が小さくなり、さらにレギュレータの電圧変換効率が高く、それらの面積効率が良くなるように配置すればよい。

【0072】＜実施例4＞以下実施例4として、実施例1や実施例2で示した内部電源発生回路PWR1の変形例及びPWR1内で使用される個別回路(昇圧回路や電圧リミッタ回路)の好ましい変形例について述べる。

【0073】図27は、図2の回路をより一般化して表したものであり、電圧変換回路REG1をより一般的な概念として表した。REG1は図2で示したように具体的には複数の降圧回路(電圧リミッタや1/2電圧発生回路)を含むものである。この降圧回路により外部電源電圧VDDQやVDD、及び内部電源電圧VPWR1を降圧して内部電圧VIN1～VINTnを発生する。図2ではREG1の動作にVDDは利用されていないが、ここではより一般的とするためVDDも利用可能とされることを示すため、REG1にVDDが供給されるようにした。図2の具体例のように必要がなければVDDは無視しても良い。

【0074】図28はさらに図27のGEN1を省略して、図27のpwr1をVDDQから直接得た場合の実施例である。I/O電圧がVINT1~VINTnに出力する電圧と比較して十分に高い場合は、VDDQの電位を昇圧する必要がない。その場合にはこの構成を使用することができる。この例の他の特徴は、VDDQを電源フィルタ回路filter1を介してREG1に供給していることである。この電源フィルタは必要が無ければ省略しても良い。filter1はMOSトランジスタで構成した抵抗R4201と同じくMOSトランジスタで構成したコンデンサC4201で構成している。R4201により、VPWR1のインピーダンスは高くなるが、VDDQ上のノイズがVPWR1に伝播するのを防ぐことができる。また、入力側にコンデンサC4201を付加することでAC的なインピーダンスを低くし、REG1の出力には影響がでないようにしている。

【0075】REG1の出力に突入電流が流れた場合には、REG1の入力側のコンデンサからその突入電流の電荷が供給され、REG1の出力電圧にリップルが発生することを防ぐことができる。もちろん、この時、REG1の入力側の電位降下はある程度生じるため、電位降下が起こってもREG1が正常に期待出力電圧を出力できるような入力電圧を保つ必要がある。そのためにはコンデンサの容量をある程度大きくするか、REG1の入力電圧VPWR1を高くするように設計すればよい。

【0076】以下に、簡単にその条件を式で表す。コンデンサC4201の容量をC、VPWR1の電圧効果量を ΔV 、突入電流によって流れる電荷量をQ、REG1が正常な期待出力電圧を出力するのに必要なVPWR1の最低電圧をVmin、VPWR1の無負荷電圧をVnomとすると、 $\Delta V = Q/C$ で計算できるため、 $Vnom - Vmin > \Delta V$ になるようにすればよい。すなわち、 $(Vnom - Vmin)C > Q$ となり、Vnomを高く設定するか、Cを大きく設定すればよいことが分かる。

【0077】図29には、図28で示した電源フィルタを図27に適用するために変形した例を示す。昇圧回路GEN1の出力を電源フィルタfilter2を介してREG1に供給している。R4301が抵抗で、C4301およびC4302がコンデンサである。ここではMOSトランジスタの耐压のために、図42とは抵抗およびコンデンサのそれぞれの接続方法が異なっている。

【0078】図30はGEN1とREG1をそれぞれ二つ設けた場合の実施例である。一般にレギュレータ回路にシリーズパスレギュレータ方式(以下、単にシリーズレギュレータと呼ぶこともある)を用いた場合、その入力電圧と出力電圧との間に大きな電位差があれば、レギュレータの変換効率が低下する。そのため、この実施例では、最終的に得たい電圧であるVINT1~VINTnを、比較的高い電圧のVINT1a~VINTnaと、比較的低い電圧のVINT1b~VINTnbに二分している。

【0079】さらに、VINT1a~VINTnaよりも高いpwr1をGEN1を用いて作成し、VINT1b~VINTnbよりも高いpwr2を

GEN2を用いて作成する。その後、REG1はVPWR1からVINT1a~VINTnaを作り、REG2はVPWR2からVINT1b~VINTnbを作っている。このようにしてなるべくレギュレータの入力と出力の電位差を小さくすることで、各レギュレータの電圧変換効率を高めることができる。

【0080】図27から図30までに示したPWR1の実施例は、その他にも様々な構成方法が考えられる。たとえば、昇圧回路GEN1の接地電位はVSSQに接続しているが、VSSに接続してもよい。I/O回路用の接地電位とそれよりも低い電圧で動作するコア回路用の接地電位が別パッドから供給されているチップにおいて、チップ内部電源VINT1~VINTnを、VINT1~VINTnを使用する回路CIR2の接地電位(VSS)を接地電位として用いているレギュレータを用いて、I/O電圧あるいはI/O電圧から昇圧あるいは降圧して生成した電圧から安定化して出力すればその構成方法は特に限定しない。

【0081】以下図31及び図32に、昇圧回路GEN1の他の例を示す。図31に、VPWR1にVDDQの約3倍の電圧の出力するためのチャージポンプ方式昇圧回路をしめす。図3で前述した昇圧回路との違いはポンピング段数の差であり、この図31のほうがより大きな昇圧電圧が得られる。なお、この図ではOSCおよびSENは省略しているが図3と同様である。

【0082】図32に、GEN1としていわゆるCMOS Boost型のスイッチングレギュレータ方式のDC-DCコンバータを用いている例を示す。ここでL803はインダクタ、M804およびM805がスイッチングトランジスタ、C806が平滑容量を示している。M804がオンしてM805がオフする期間と、M804がオフしてM805がオンする期間のデューティサイクルを、同図の波形図のように制御し、VPWR1の出力電圧を制御する。スイッチングトランジスタのオン・オフの制御は802と801がVPWR1の電圧をモニタしながら行っている。インダクタL803はチップ内に実装してもよいし、チップ外に実装してもよい。この回路はチャージポンプ方式の昇圧方式と比較して、出力電流が大きい場合に高電力効率で電圧を変換できるという特徴がある。したがって、VPWR1に多くの電流が流れる場合にこの方式の昇圧回路を用いるのが好適である。

【0083】次に、電圧変換回路REG1に含まれる電圧リミッタ回路の変形例について述べる。図33は図5の回路のうち内部電圧出力用のバッファ1102のみを記載するが、基準電圧のレベル変換のための回路1101も同様となる。昇圧回路GEN1と電圧リミッタ回路の接続において重要な点はその接地電位が、GEN1の出力を用いる回路の接地電位と同じ電位線(ここではVSSに相当する)に接続されている点である。正側の電源電位の取り方は特に限定しない。しかし、MOSトランジスタは、その酸化膜耐压等によりMOSトランジスタの各端子間に印可できる電位差には限界がある。そのため、VPWR1の電圧が高いとMOSトランジスタの耐压を超えてしまう可能性がある。この

ような場合には、図5の電源の供給方法よりも図33の方法の方が好適である。図33では、オペアンプD-AMPの正側の電源をI/O回路用の電源であるVDDQに接続している。この場合、オペアンプに使用しているMOSトランジスタにI/O回路に用いているMOSトランジスタと同じMOSトランジスタを用いればよい。

【0084】この場合、残された耐圧に関する問題はVINT1を出力しているOUTQ内のMOSトランジスタM1003dである。まず最初に図5と同様にM1003dのソースがVPWR1に直接結合される場合を考える。ここでMOSトランジスタM1003dの耐圧が3.3Vであるとし、VPWR1には5Vの電圧が入力され、VINT1には3Vの電圧を出力したいとする。すると、M1003dのゲート・ソース間およびゲート・ドレイン間の電位差を3.3V以下にするには、M1003dのゲート端子には1.7V以上の電圧が印可されるという条件(以下、電圧条件1と記す)を満たす必要があることがわかる。図33の回路ではM1003dに、VINT1につながる負荷電流を十分な余裕で駆動できるように、十分に大きなゲート幅のMOSトランジスタを選べば上記電圧条件1を満たすことができる。

【0085】逆に上記の電圧条件1を満たせない場合(VPWR1の電圧がVINT1に出力したい電圧よりもかなり大きい場合)には、M1003dのソースはVPWR1に直結せずに図33に示したようにVPWR1の電圧をM1004dからM1005dで示されたダイオード接続したトランジスタによるレベルシフトによって降圧してM1003dのソース端子に供給するようにすればよい。

【0086】なお、図33の例ではM1003dからM1005dまでにPMOSを用いたが、NMOSを用いて構成してもよい。この場合、図33のD-AMPのIN-とIN+は逆に接続する必要があるが、位相回転が押さえられるために発振し難くなるという効果がある。また、耐圧に対しても、PMOSで構成した場合と比較してNMOSで構成した場合、ゲート・ソースあるいはゲート・ドレイン間電圧を小さく抑えることができて有利である。

【0087】図34に、図5の電圧リミッタの変形例としてエージングテスト(加速テストあるいはバーインとも呼ばれる)を可能とするため実施例について述べる。なお、ここではエージングと加速テストとバーインはともにチップに通常動作時よりも高い電圧あるいは低い電圧を印可し、チップに対して過酷な条件をかけて初期不良をあぶりだすこととする。エージング時の温度条件等の電圧条件以外については特に限定しない。エージング時には例えば、通常時VDDQ=3.3V、VDD=1.5Vである電圧をそれぞれ4.5V、3.0Vにする。

【0088】図34において、エージングテストへの移行を示す電圧Vswは2.5Vであり、1603で示されたコンパレータがVDD電圧がVsw電圧よりも大きな電圧になったことを検出する。VDD>Vswになれば、M1611のゲート信号はVSS電位からVDD電位に変化する。1601はVREF1の電圧とV

REF3の電圧を抵抗R1605とR1606で内分した電圧を比較してM1607のゲート電位を決定し、VREF3の電圧が(R1605+R1606)/R1606*VREF1=2.0Vよりも小さい場合にM1607を用いてVREF3電位を上昇させるように働く。一方、1602はM1611のゲートに入力された電圧とVREF3の電圧を抵抗R1608とR1609で内分した電圧を比較してM1610のゲート電圧を決定し、VREF3の電圧が(R1608+R1609)/R1609*(M1611のゲート電圧)よりも小さい場合にM1610を用いてVREF3電位を上昇させるように働く。したがって、VDD<Vswの場合、M1611のゲート電圧は0Vになるため、実質的に1602はオフする。これによって、1601によってVREF3には2.0Vが出力される。VDD>Vswの場合、M1611のゲート電圧はVDD電圧となる。これによって、VREF3の電圧は1602によって(R1608+R1609)/R1609*VDDに制御される。(R1608+R1609)/R1609=1.25に設定することで、(R1608+R1609)/R1609*VDD=1.25*VDDとなる。この電圧は2.0Vよりも高い電圧になるため、実質的に1601はオフするからである。最終的にVREF3の電圧は1604のバッファを用いてVINT1に出力される。

20 【0089】図35に図34の回路によって形成された内部電圧VINT1の電圧特性を示す。図35の回路ではVINT1はVDDが2.5V(=Vsw)を超えるとVINT1=1.25*VDDの特性になるようにプログラムされている。VDDのエージング電圧である3.0Vにおいて、VINT1はそのエージング電圧である2.5*1.5V=3.75Vを印加可能とされる。

【0090】図34の回路では外部から入力される電源電圧の変化を検出してVINT1電圧をエージング電圧になるようにしているが、チップをコマンド等により通常のチップの動作状態とは異なるエージング状態に遷移させ、このエージング状態になることでVINT1の電圧をエージング電圧になるようにしてもよい。

【0091】図35の特性例は、VDD電圧が通常の動作保証電圧範囲を超えたことを検出してVINT1の特性を変化させているが、図36ではVDDQ電圧が通常の動作保証電圧を超えたことを検出してVINT1の特性を変化させるようにしてもよい。すなわち、VDDQが約3.9Vを超えるとVINT1はVDDQに対して線形に増加する。VDDQのエージング電圧である4.5VでVINT1は2.5*1.5Vになるようにプログラムされている。

40 【0092】図37(a)(b)には、電圧リミット回路の差動増幅器に用いたカレントミラー回路の変形例を示している。前記した回路の特徴の一つは上記したようにその電源ノイズ除去比率が高いことである。[文献4]で示したように位相補償回路の構造によって電源ノイズ除去比率を高めることができるが、カレントミラー回路の構成を変えることでも電源ノイズ除去比率を高めることができる。図24では例えばCascode型とWilson型を示している。これらの回路を用いることでさらにVINT1出力に乘るノイズを低減できる。

【0093】

【発明の効果】本願によって開示される発明のうち代表的なものによって得られる主な効果を簡単に説明すれば、以下の通りである。

【0094】(1) チップ外部とのインターフェースを行うI/O回路と、NAND回路等の論理回路やレジスタやスタティックメモリ回路あるいはマイクロプロセッサやDSP回路等の少なくとも一つの第1回路群と、AD変換器やDA変換器やPLL等のアナログ回路やDRAM回路やフラッシュメモリ等の回路内で多種電圧の電源を用いる少なくとも一つの第2回路群からなるチップにおいて、第2回路群の内部で使用する電源を高電力効率に安定して供給できる。

【0095】(2) 上記I/O回路と第1回路群と第2回路群間での電源ノイズ干渉を少なくできる。

【0096】(3) チップ外部から供給する電源あるいはそれから発生した電源を低電圧化した場合に、チップ全体を高速動作させることができる。

【図面の簡単な説明】

【図1】本発明対象となる半導体集積回路の全体構成を示す図。

【図2】図1の内部電圧発生回路PWR1の例を示す図。

【図3】図2の昇圧回路GEN1の例を示す図。

【図4】図2の基準電圧発生回路REF1の例を示す図。

【図5】図2の降圧回路VLM1の例を示す図。

【図6】図5の降圧回路VLM1のVDDQに対する特性例を示す図。

【図7】図5の降圧回路VLM1のVDDに対する特性例を示す図。

【図8】図1の第2内部回路ブロックCIR2の例を示す図。

【図9】図8で用いられるレベル変換回路(VDD振幅→V_D振幅)の例を示す図。

【図10】図8で用いられるレベル変換回路(V_DL振幅→VDD振幅)の例を示す図。

【図11】図8で用いられるデコード回路及びワード線駆動回路を示す図。

【図12】図8で用いられるセンスアンプ近傍の回路例を示す図。

【図13】図8で用いられるメインアンプの回路例を示す図。

【図14】図8の回路の動作波形を示す図。

【図15】図1の第1内部回路ブロックCIR1の例を示す図。

【図16】図1のI/O回路ブロックPAD1の例を示す図。

【図17】図16で用いられるレベル変換回路(VDD振幅→VDDQ振幅)の例を示す図。

【図18】図16で用いられるレベル変換回路(VDDQ振幅→VDD振幅)の例を示す図。

【図19】図1の全体構成の変形例を示す図。

【図20】図1の全体構成の他の変形例を示す図。

【図21】図1の半導体装置のパッケージ及び電極を示す図。

【図22】図1の全体構成の他の変形例を示す図。

【図23】図1の全体構成の他の変形例を示す図。

【図24】チップ上での配置の実施例を示す図。

【図25】チップ上での配置の他の実施例を示す図。

【図26】チップ上での配置の他の実施例を示す図。

【図27】内部電圧発生回路PWR1の変形例を示す図。

【図28】内部電圧発生回路PWR1の他の変形例を示す図。

【図29】内部電圧発生回路PWR1の他の変形例を示す図。

【図30】内部電圧発生回路PWR1の他の変形例を示す図。

【図31】昇圧回路GEN1の他の例を示す図。

【図32】昇圧回路GEN1の他の例を示す図。

【図33】降圧回路VLM1の他の例を示す図。

【図34】降圧回路VLM1の他の例を示す図。

【図35】図34の降圧回路の動作特性図を示す図。

【図36】降圧回路によって形成されるべき動作特性の他の例を示す図。

【図37】降圧回路に用いる差動増幅回路の負荷回路の変形例を示す図。

【符号の説明】

C601~C603、C701~C705、C706a、C706b、C806……コンデンサ、

L803……インダクタ、

M804、M1003a、M1003b、M1003d~M1005d、M1607、M1610、M1612、P2101、P2103、P2105、P2112、P2107、P2108、P2110、P2201、P2203、P2205、P2212、P2207、P2208、P2210、P2402、P2401、P2801、P2802、P2804、P2805、P2807、P2901、P2903、P2905……PチャネルMOSトランジスタ、

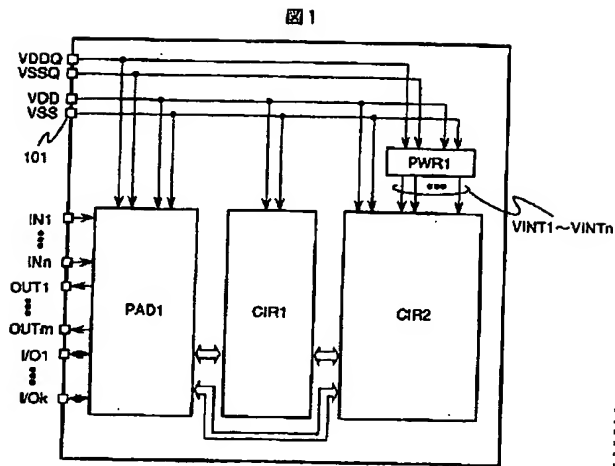
M805、M1003c、N2102、N2104、N206、N2109、N2111、N2202、N2204、N2206、N2209、N2211、N2403~N2406、N2711、N2803、N2806、N2808、N2902、N2904、N2906……NチャネルMOSトランジスタ、

R903~R905、R1103、R1104、R1605、R1606、R1608、R1609、R2709……抵抗、

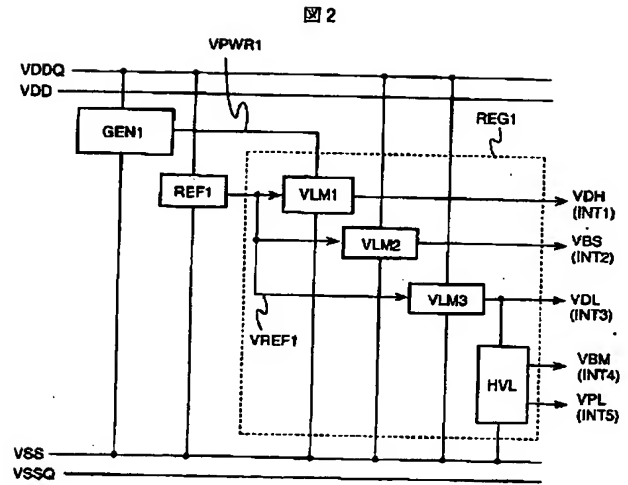
B901、B902……バイポーラトランジスタ、

D2708、D2710……ダイオード。

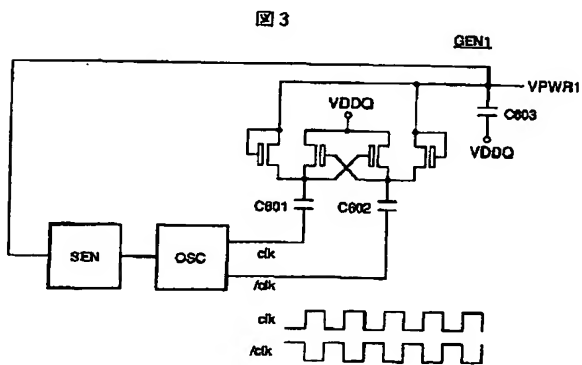
【図1】



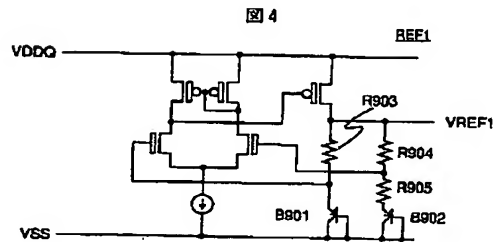
【図2】



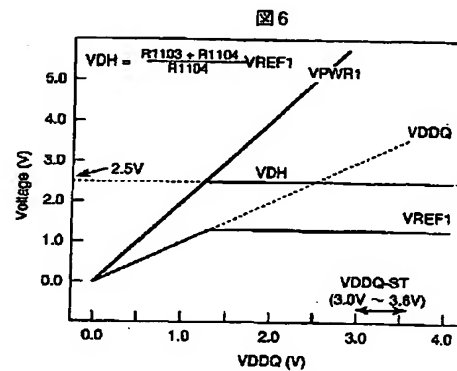
【図3】



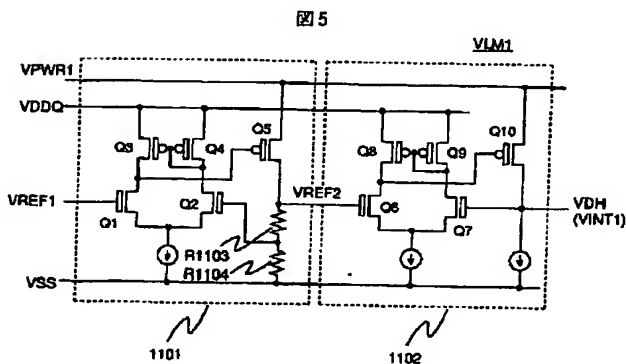
【図4】



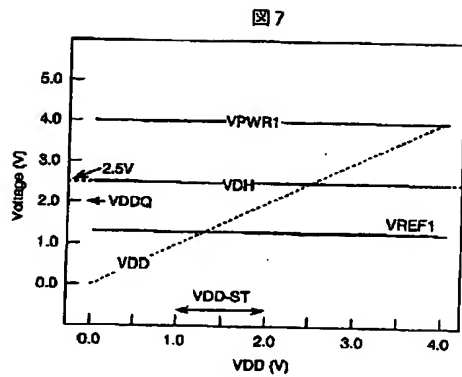
【図6】



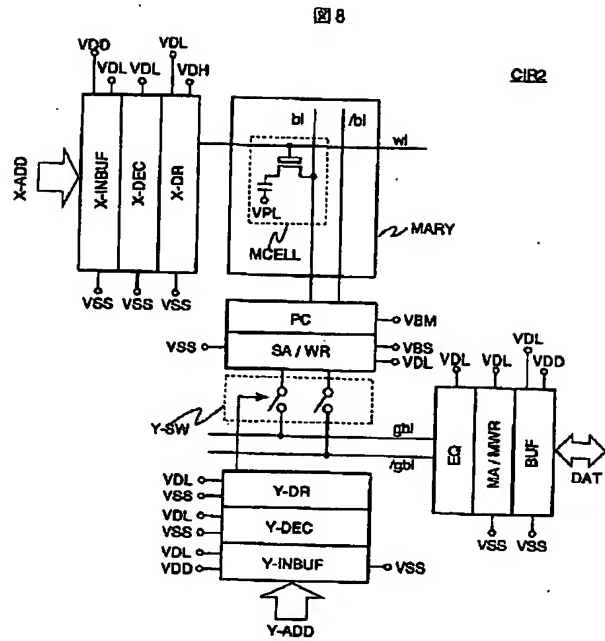
【図5】



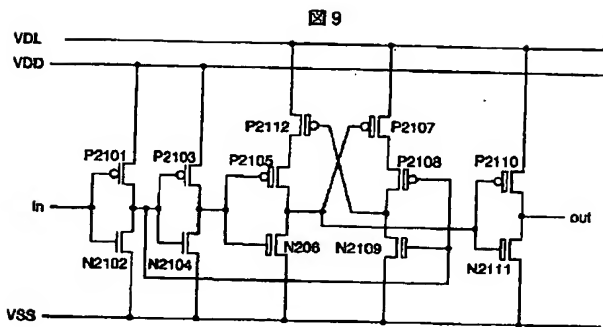
【図 7】



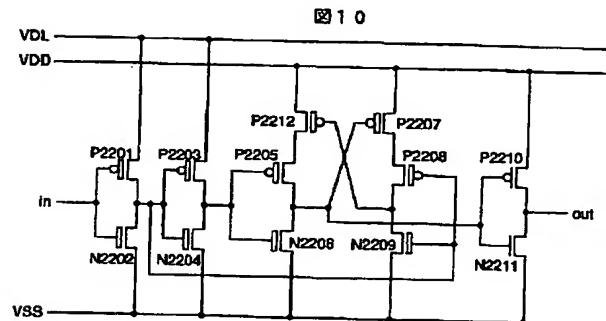
【図 8】



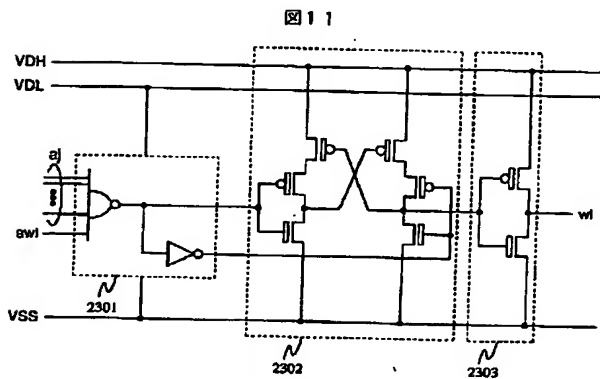
【図 9】



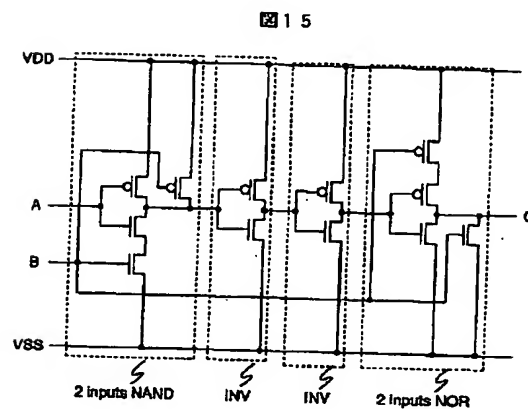
【図 10】



【図 11】

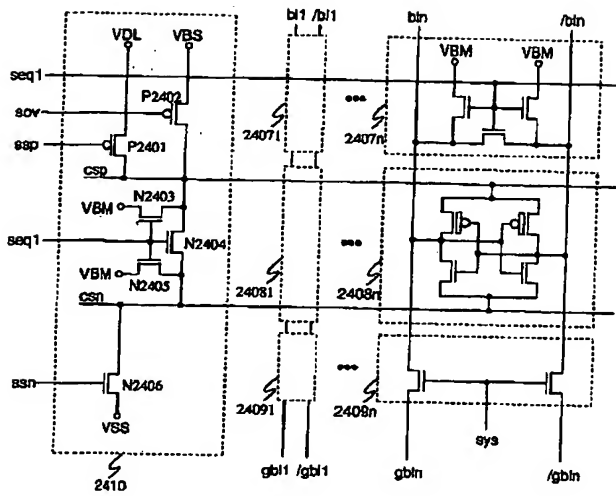


【図 15】



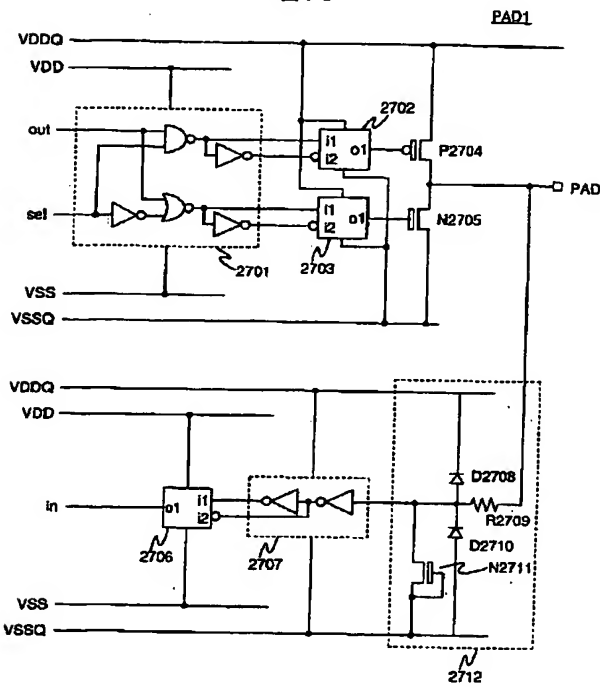
【図12】

図12



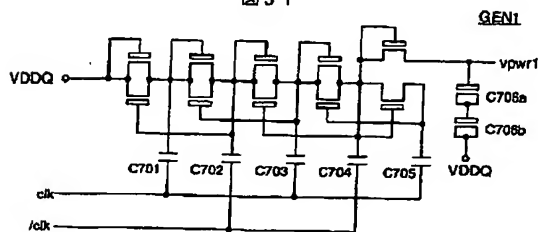
【図16】

図16



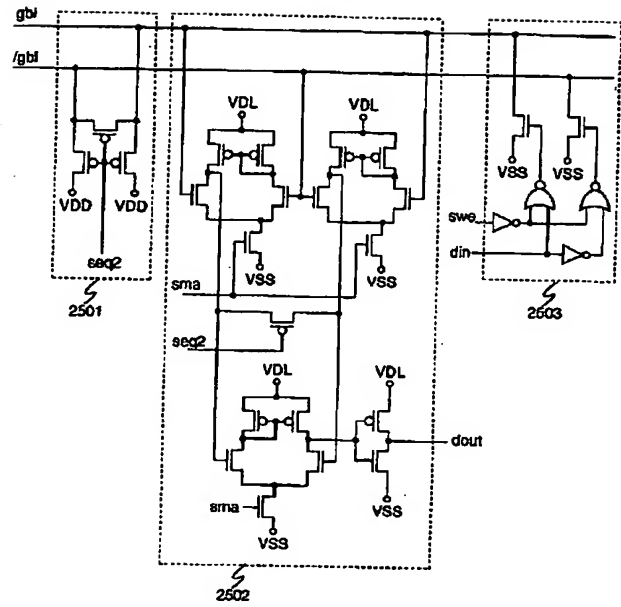
【図31】

図31



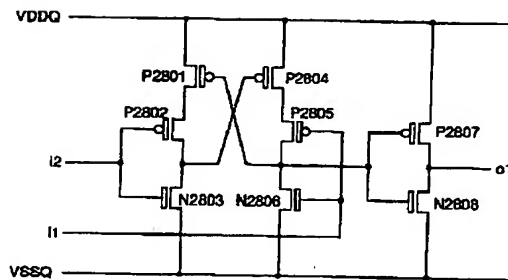
【図13】

図13



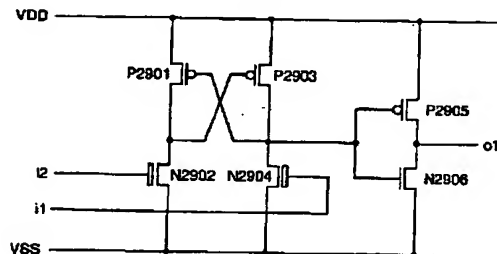
【図17】

図17



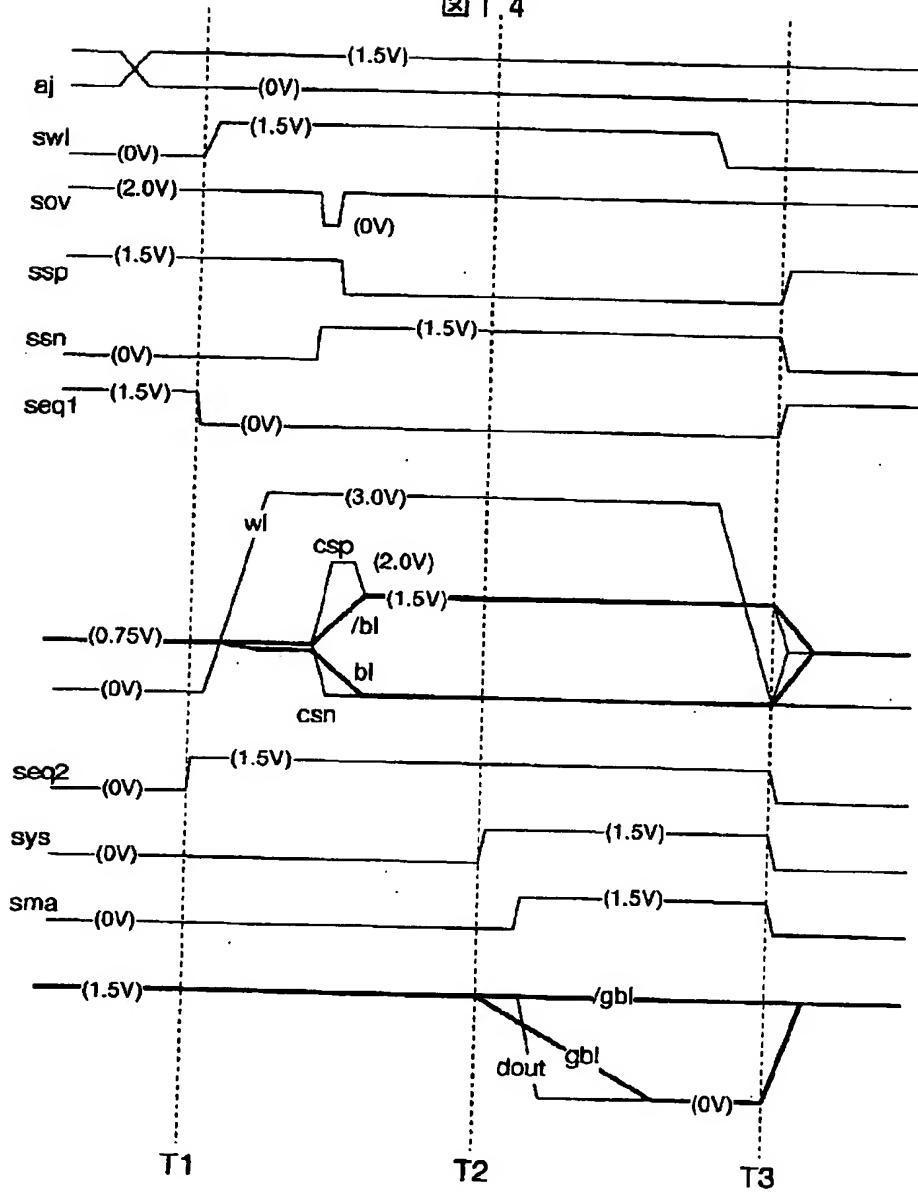
【図18】

図18

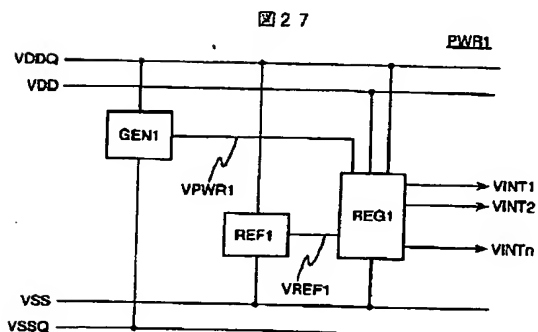


【図 14】

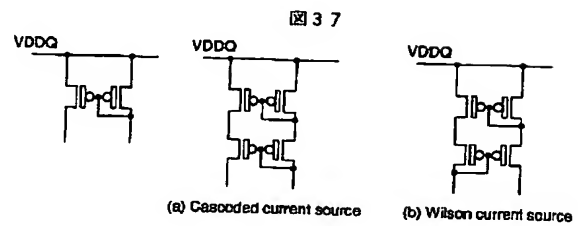
図 1.4



【図 27】

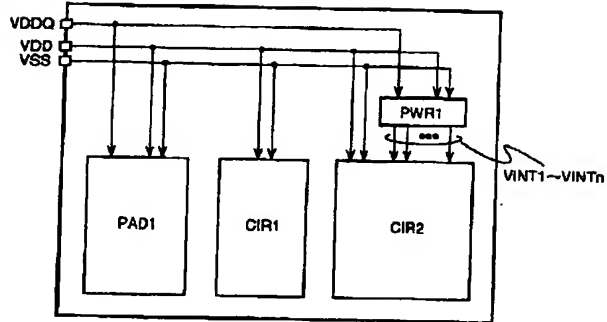


【図 37】



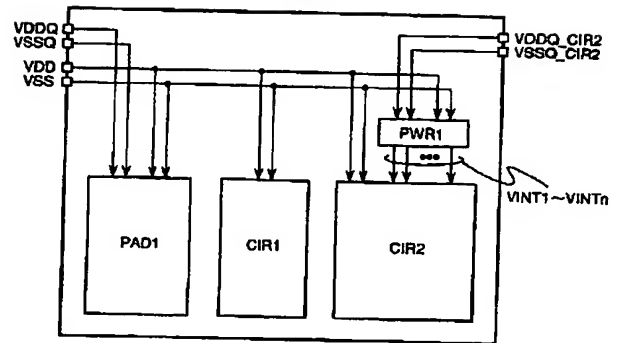
【図19】

図19



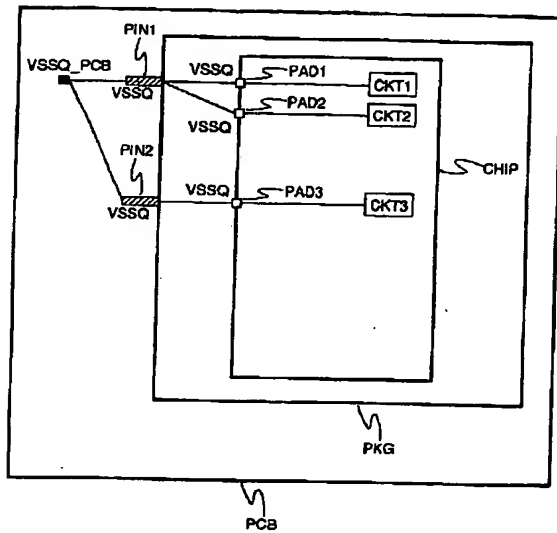
【図20】

図20



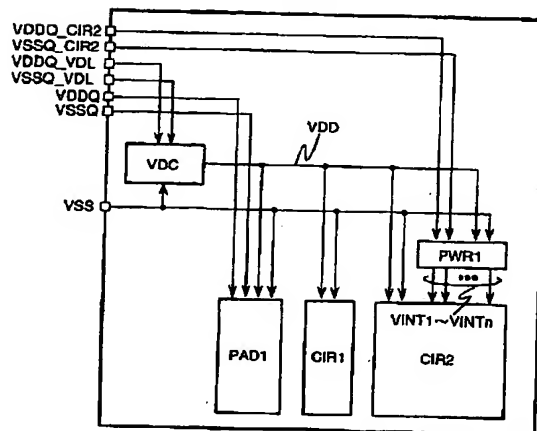
【図21】

図21



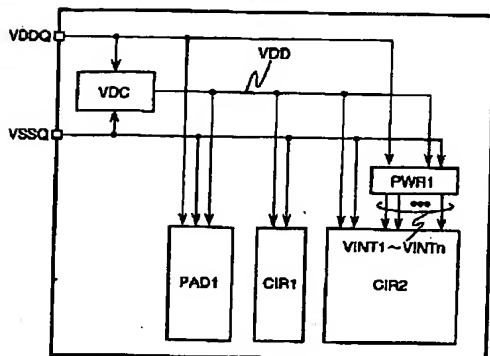
【図22】

図22



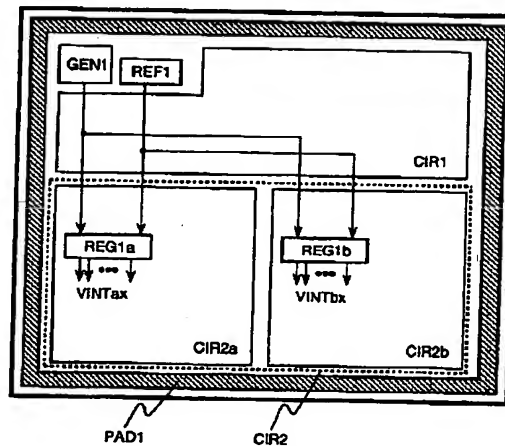
【図23】

図23



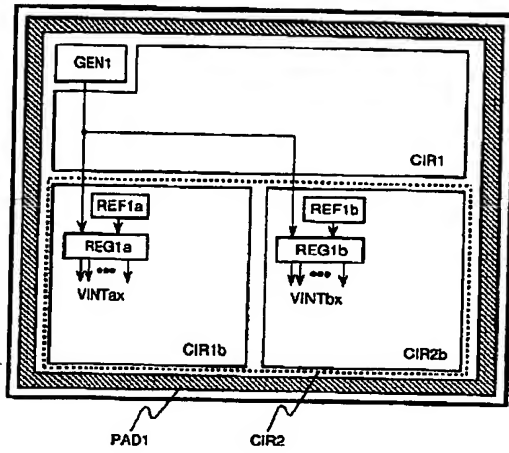
【図24】

図24



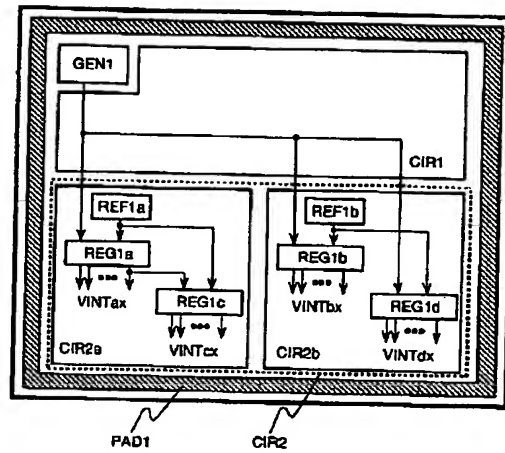
【図 25】

図 25



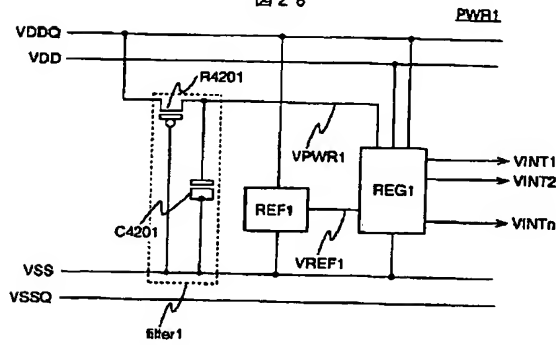
【図 26】

図 26



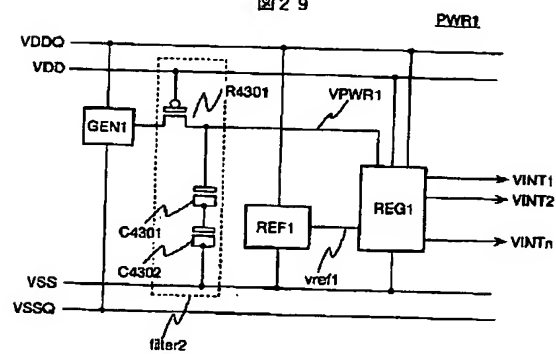
【図 28】

図 28



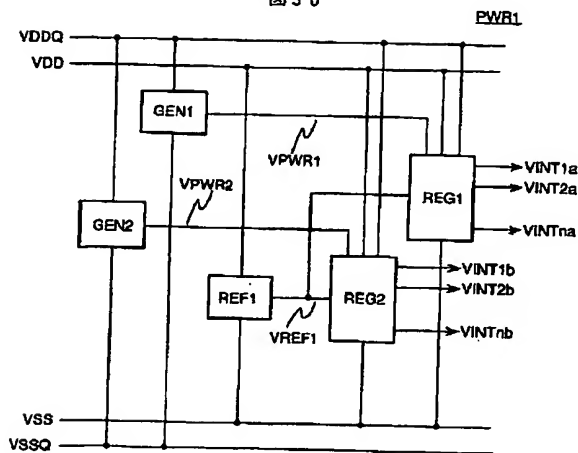
【図 29】

図 29



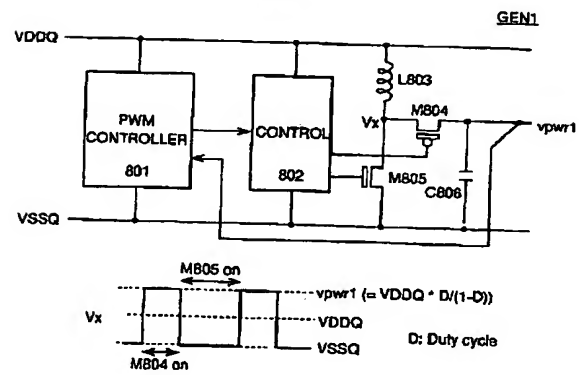
【図 30】

図 30

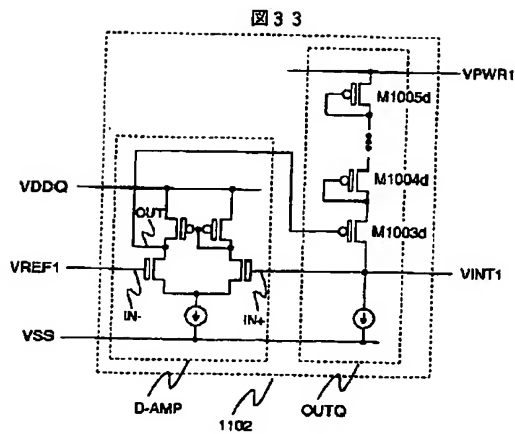


【図 32】

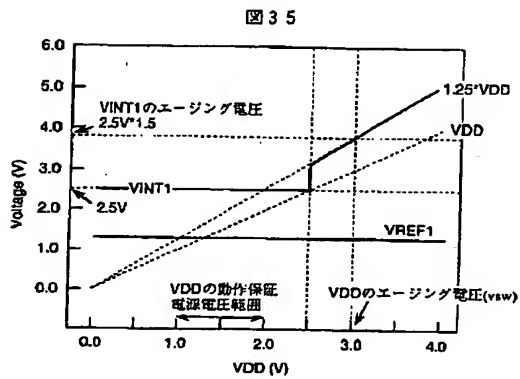
図 32



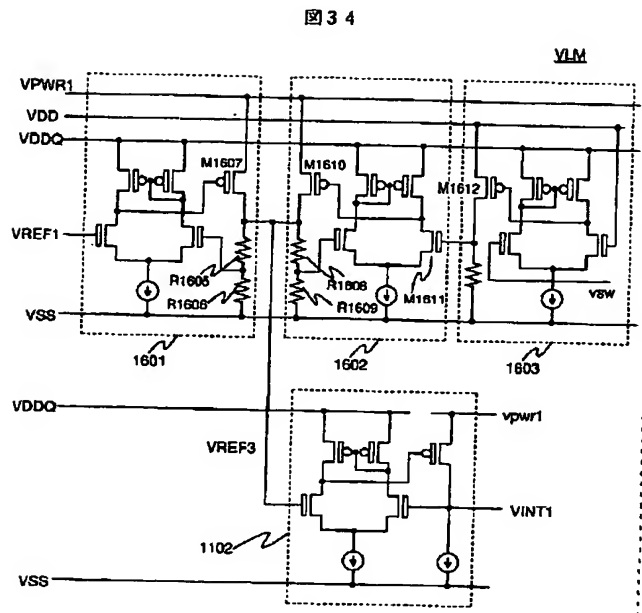
【図 33】



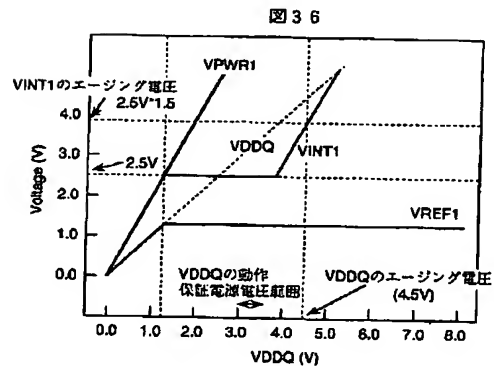
【図 35】



【図 34】



【図 36】



フロントページの続き

(72) 発明者 渡部 隆夫

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72) 発明者 平木 充

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72) 発明者 田中 均

東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

Fターム(参考) 5B015 JJ12 JJ15 JJ21 KA23 KB32
KB33 KB36 KB63 KB64 KB65
PP02
5B024 AA03 AA15 BA13 BA27 BA29
CA07 CA16 CA21
5F038 BB01 BB02 BB05 BE07 BE09
BG02 BG03 BG05 BH02 BH04
BH05 BH07 BH13 BH19 CA03
CA05 CA10 CD02 CD03 DF01
DF03 DF04 DF05 DF08 DF12
DF14 EZ20
5H430 BB01 BB05 BB09 BB11 BB20
EE06 EE12 EE13 EE17 FF04
GG04 GG05 HH03